

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-321329

(43) 公開日 平成7年(1995)12月8日

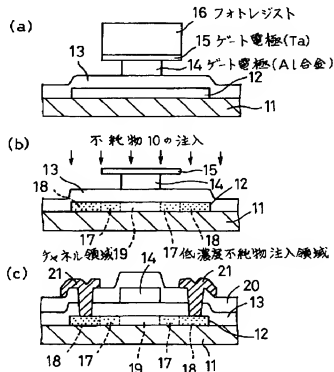
(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
G 0 2 F 1/136	5 0 0			
H 0 1 L 21/336				
		9056-4M	H 0 1 L 29/ 78	3 1 1 G
		9056-4M		3 1 1 P
			審査請求 未請求 請求項の数14	O L (全 8 頁)
(21) 出願番号	特願平6-115445			
(22) 出願日	平成6年(1994)5月27日			
(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地			
(72) 発明者	古田 守 大阪府門真市大字門真1006番地 松下電器 産業株式会社内			
(72) 発明者	川村 哲也 大阪府門真市大字門真1006番地 松下電器 産業株式会社内			
(72) 発明者	山口 彩子 大阪府門真市大字門真1006番地 松下電器 産業株式会社内			

## (54) 【発明の名称】 薄膜トランジスタの製造方法および液晶表示装置

## (57) 【要約】

【目的】 自己整合的に薄膜トランジスタの電界緩和領域を形成する手法を提供することにより特性ばらつきを低減し大面積基板への展開を容易にする。

【構成】 薄膜トランジスタのゲート電極14、15を2種類の金属あるいは金属化合物薄膜より形成し、上層ゲート電極15の配線幅に対して下層ゲート電極14の配線幅をエッチングにより細く設定する。その後、ゲート電極をマスクとして自己整合により薄膜トランジスタのソース・ドレイン領域18に不純物を注入する。なお、不純物注入時に上層ゲート電極15の膜厚を制御することにより注入イオンに対する阻止能力を制御し、低濃度不純物注入領域17をソース・ドレイン領域18の不純物注入時に同時に形成する。



## 【特許請求の範囲】

【請求項 1】 基板上に珪素を含む半導体薄膜を形成する工程と、前記半導体薄膜上に絶縁膜を形成する工程と、前記絶縁膜上に金属あるいは金属化合物薄膜を形成する工程と、前記金属あるいは金属化合物薄膜上に有機薄膜を形成しパターン形成する工程と、前記有機薄膜を用いて下層の金属あるいは金属化合物薄膜をエッチングして電極の形状に加工する工程と、前記有機薄膜を除去する前に不純物イオンを注入しソースおよびドレイン領域を形成する工程を少なくともも有することを特徴とする薄膜トランジスタの製造方法。

【請求項 2】 前記金属あるいは金属化合物薄膜としてアルミニウムを主成分とする薄膜を用いることを特徴とする請求項 1 記載の薄膜トランジスタの製造方法。

【請求項 3】 前記有機薄膜としてポリイミド薄膜を用いることを特徴とする請求項 1 記載の薄膜トランジスタの製造方法。

【請求項 4】 前記有機薄膜に対する金属あるいは金属化合物薄膜からなるゲート電極のパターン寸法を  $5\mu\text{m}$  以上小さくすることを特徴とする請求項 1、2 または 3 記載の薄膜トランジスタの製造方法。

【請求項 5】 基板上に珪素を含む半導体薄膜を形成する工程と、前記半導体薄膜上に絶縁膜を形成する工程と、前記絶縁膜上に 2 種類以上の金属あるいは金属化合物薄膜を積層したゲート電極を形成する工程と、前記ゲート電極形成後、不純物イオンを注入しソースおよびドレイン領域を形成する工程を少なくともも有することを特徴とする薄膜トランジスタの製造方法。

【請求項 6】 基板上に珪素を含む半導体薄膜を形成する工程と、前記半導体薄膜上に絶縁膜を形成する工程と、前記絶縁膜の下層に陽極酸化可能な金属あるいは金属化合物薄膜、上層に下層薄膜の陽極酸化電解液中で陽極酸化されない金属あるいは金属化合物薄膜を積層したゲート電極を形成し、ソースおよびドレイン領域形成時の不純物イオン注入後に上層ゲート電極の少なくとも一部を除去したのち下層ゲート電極薄膜の少なくとも一部表面を絶縁膜に改質する工程を少なくともも有することを特徴とする薄膜トランジスタの製造方法。

【請求項 7】 前記ゲート電極として 2 種類の金属あるいは金属化合物薄膜を積層した薄膜を用い、下層薄膜の配線幅を上層薄膜の配線幅より  $0.5\mu\text{m}$  以上小さく形成することを特徴とする請求項 5 または 6 記載の薄膜トランジスタの製造方法。

【請求項 8】 前記ゲート電極として 2 種類の金属あるいは金属化合物薄膜を積層した薄膜を用い、上層薄膜の膜厚を  $30\text{nm}$  以上、かつ  $300\text{nm}$  以下とすることを特徴とする請求項 5、6 または 7 記載の薄膜トランジスタの製造方法。

【請求項 9】 前記ゲート電極として 2 種類の金属あるいは金属化合物薄膜を積層した薄膜を用い、下層薄膜を

アルミニウムを主成分とする薄膜より形成し膜厚を  $200\text{nm}$  以上とすることを特徴とする請求項 5 ないし 8 記載のいずれか 1 項記載の薄膜トランジスタの製造方法。

【請求項 10】 前記ゲート電極として 2 種類の金属あるいは金属化合物薄膜を積層した薄膜を用い、下層薄膜のパターン形成にウェットエッチング法を用い、エッチング時間により上層薄膜とのパターン寸法を制御することを特徴とする請求項 5 ないし 9 記載のいずれか 1 項記載の薄膜トランジスタの製造方法。

【請求項 11】 前記上層ゲート電極を下層ゲート電極の陽極酸化時のマスクとして用いることを特徴とする請求項 6 ないし 10 記載のいずれか 1 項記載の薄膜トランジスタの製造方法。

【請求項 12】 前記不純物注入に注入イオンの質量分離工程を用いないイオンドーピング装置を用いることを特徴とする請求項 1 ないし 11 記載のいずれか 1 項記載の薄膜トランジスタの製造方法。

【請求項 13】 前記珪素を含む半導体薄膜として多結晶シリコン薄膜を用いることを特徴とする請求項 1 ないし 12 記載のいずれか 1 項記載の薄膜トランジスタの製造方法。

【請求項 14】 薄膜トランジスタを集積化した液晶表示装置において、画面部あるいは駆動回路部の少なくとも一部を前記請求項 1 ないし 13 記載のいずれか 1 項記載の薄膜トランジスタにて形成することを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、薄膜トランジスタの製造方法および液晶表示装置に関し、特に液晶表示装置やイメージセンサ等の入力装置に使用可能な多結晶シリコン薄膜トランジスタのリーク電流低減に係る。

## 【0002】

【従来の技術】薄膜トランジスタを集積化した液晶表示装置や、イメージセンサでは高密度化の技術トレンドとともに低コスト化への要望が強く、従来の非晶質シリコンを活性層に用いた薄膜トランジスタから、多結晶シリコンを活性層に用いた薄膜トランジスタの開発が活発化している。多結晶シリコン薄膜トランジスタは非晶質シリコン薄膜トランジスタに比べて電子移動度が 2 倍以上大きく、素子の微細化や駆動回路を同一基板上に集積可能である等の利点の反面、薄膜トランジスタの待機時の OFF 電流が非晶質シリコン薄膜トランジスタに比べて大きいという課題を有している。この OFF 電流の課題を解決するために、オフセット構造や LDD (Lightly-Doped-Drain) 構造が提案されている。

【0003】図 7 は従来の多結晶シリコン薄膜トランジスタの製造方法の一例を示す工程断面図であり、これは、薄膜トランジスタのリーク電流低減のため LDD 構造を有している。図 7 (a) に示すように透光性基板 11 (高

耐熱のガラス基板)上に非晶質シリコン薄膜を減圧気相成長法(LPCVD法)により形成し、窒素雰囲気中で600°Cの熱処理を行い非晶質シリコン薄膜を結晶化し、多結晶シリコン薄膜12を形成する。前記多結晶シリコン薄膜12を島状に加工し、ゲート絶縁膜13となる酸化シリコン薄膜を形成する。前記酸化シリコン薄膜上にゲート電極15を形成する。

第1の不純物71の注入後、図7(b)に示すようにフォトレジスト16にてn<sup>+</sup>領域

17のマスクを形成した後、第2の不純物72の注入を行い、高濃度不純物注入領域

(n<sup>+</sup>領域)18(ソース・ドレイン領域)を形成する。

【0006】第2の不純物注入は燐(P)イオンを加速電圧80kV、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ にて注入する。第2の不純物72の注入後、フォトレジスト16のマスクを除去し、注入した不純物の活性化処理を行う。最後に図7(c)に示すように層間絶縁膜20を形成し、コンタクトホールを開孔したのちソース・ドレイン配線21を形成し薄膜トランジスタが完成する。

【0007】

【発明が解決しようとする課題】 上述の図7に示した製

具体的には、高濃度不純物注入領域(n<sup>+</sup>領域)18の形成時の不純物注入時に

n<sup>+</sup>領域17に不純物が注入されないように形成するフォトレジスト(ドーピングマ

スク)16(図7(b)参照)は、フォトリソグラフィ工程のマスク合わせにより形成

されるため、露光機のマスク合わせ精度に対応した位置ずれが避けられない。

【0009】特に大面積基板用の露光機を用いた場合の合わせ精度は通常 $2 \mu\text{m}$ 程度であり、フォトレジスト(ドーピングマスク)16の位置精度は $2 \mu\text{m}$ 程度となり、基板間あるいは基板内でn<sup>+</sup>領域長にばらつきが生じ、トランジスタ特性に悪影響を及ぼす。また前述したLDD構造を実現するためには、高濃度および低濃度の2種類の不純物注入領域を形成するためドーピング工程が2度必要であり、作製プロセスが複雑となる。

【0010】本発明は上記従来の課題を解決し、基板間あるいは基板内での微量不純物注入領域(n<sup>+</sup>領域)長にばらつきが生ぜず、かつ簡単な作製プロセスで実現できることを目的とする。

【0011】

【課題を解決するための手段】 本発明は、上記目的を達成するための薄膜トランジスタの製造方法の第1の手段は、基板上に珪素を含む半導体薄膜を形成する工程と、前記半導体薄膜上に絶縁膜を形成する工程と、前記絶縁膜上に金属あるいは金属化合物薄膜をエッチングしゲート電極の形状に加工する工程と、前記有機薄膜を用いて下層の金属あるいは金属化合物薄膜をエッチングしゲート電極の形状に加工する工程と、前記有機薄膜を除去する前に不純物イオンを注入しソースおよびドレイン領域を形成する工程を少なくとも有することを特徴とする。

【0012】また、第2の手段は、基板上に珪素を含む

【0004】ゲート電極形成後、このゲート電極15をマスクとしてイオン注入法にて第1の不純物71の注入を行い、微量不純物注入領域(n<sup>+</sup>領域)17を形成する。第1の不純物注入は燐(P)イオンを加速電圧80kV、ドーズ量 $1 \times 10^{13}/\text{cm}^2$ にて注入する。

【0005】

【外1】

造方法を用いて薄膜トランジスタを作製した場合、いくつかの課題が存在する。まず最初の課題としては、微量不純物注入領域(n<sup>+</sup>領域)17をマスクするフォトレジスト(ドーピングマスク)16をフォトリソグラフィ工程で作製するため、n<sup>+</sup>領域長に基板間あるいは基板内でのばらつきが存在し、トランジスタ特性の再現性が低下することがあられる。

【0008】

【外2】

具体的には、高濃度不純物注入領域(n<sup>+</sup>領域)18の形成時の不純物注入時に

n<sup>+</sup>領域17に不純物が注入されないように形成するフォトレジスト(ドーピングマ

スク)16(図7(b)参照)は、フォトリソグラフィ工程のマスク合わせにより形成

されるため、露光機のマスク合わせ精度に対応した位置ずれが避けられない。

半導体薄膜を形成する工程と、前記半導体薄膜上に絶縁膜を形成する工程と、前記絶縁膜上に2種類以上の金属あるいは金属化合物薄膜を積層したゲート電極を形成する工程と、前記ゲート電極形成後、不純物イオンを注入しソースおよびドレイン領域を形成する工程を少なくとも有することを特徴とする。

【0013】さらに、第3の手段は、基板上に珪素を含む半導体薄膜を形成する工程と、前記半導体薄膜上に絶縁膜を形成する工程と、前記絶縁膜上の下層に陽極酸化可能な金属あるいは金属化合物薄膜、上層に下層薄膜の陽極酸化電解液中で陽極酸化されない金属あるいは金属化合物薄膜を積層したゲート電極を形成し、ソースおよびドレイン領域形成時の不純物イオン注入後に上層ゲート電極の少なくとも一部を除去したのち下層ゲート電極薄膜の少なくとも一部表面を絶縁膜に改質する工程を少なくとも有することを特徴とする。

【0014】また、本発明の液晶表示装置は、画面部あるいは駆動回路部の少なくとも一部を前記第1、第2または第3の薄膜トランジスタの製造方法のいずれか1つで作製された薄膜トランジスタで形成される。

【0015】

【作用】 本発明の製造方法は、薄膜トランジスタのソース・ドレイン領域の不純物注入時に、2種類以上の薄膜を積層したものをゲート電極の形状に加工しチャネル部のマスクとする。前記2層積層薄膜をゲート電極の形状

に加工する工程において、下層薄膜をオーバーエッチングし所定のゲート線幅(上層薄膜パターン)に対して一定量細くなるよう加工する。その後、前記積層薄膜をマスクとして薄膜トランジスタのソースおよびドレイン領域に不純物を注入する。

【0016】また、前記2種類の薄膜を積層したゲート電極の下層薄膜を陽極酸化可能な金属あるいは金属化合物薄膜より形成する。前記ゲート電極形成工程を用いゲート電極を形成後、積層薄膜をマスクとして薄膜トランジスタのソースおよびドレイン領域に不純物を注入する。前記不純物注入後、ゲート電極の上層薄膜を選択的に除去し下層薄膜を陽極酸化し、ゲート電極表面を絶縁膜に改質する。

【0017】このように、従来、マスク合わせで行っていたオフセットあるいはLDD領域の形成を、ゲート電極形成時のエッチング工程で自己整合的に形成可能となる。これにより、オフセットあるいはLDD領域長の制御性が向上し、薄膜トランジスタの特性ばらつきを低減可能となる。また、2層積層薄膜の下層薄膜としてA1系薄膜を用い、ゲート電極の少なくとも一部を陽極酸化し絶縁膜に改質することにより、薄膜トランジスタの絶縁不良確率を大幅に低減できる。

【0018】

【実施例】以下、本発明の各実施例を図面にに基づき説明する。

【0019】(実施例1)図1は本発明の第1の実施例における薄膜トランジスタの製造方法を示す工程断面図である。

【0020】図1(a)に示すように透光性基板(ガラス基板)11上に多結晶シリコン薄膜12を形成しパターン加工した後、ゲート絶縁膜13を100nm形成する。このゲート絶縁膜13上にゲート電極14となるAl-1%Zr(300nm)を形成する。前記ゲート電極14の薄膜上には有機薄膜であるポリイミド薄膜51を1.0 $\mu$ m形成し、このポリイミド薄膜51をゲート電極14の形状に加工する。ゲート電極加工時にはポリイミド薄膜51をマスクとして、後述する図3に示すようにゲート電極14(A1)のエッチング時に、自己整合的にゲート配線をポリイミド薄膜51に対して片側1.0 $\mu$ m(総計2.0 $\mu$ m)線細化する。その後、図1(b)に示すようにポリイミド薄膜、ゲート電極積層膜(51、14)をマスクとして、薄膜トランジスタのソース・ドレイン領域18に不純物50を注入する。このとき、ポリイミド薄膜51下部の多結晶シリコン薄膜12中へは不純物が注入されないため、ゲート電極14下のチャネル領域に対して自己整合的に不純物を注入しないオフセット領域52が実現可能である。不純物注入後、ポリイミド薄膜51を除去する。この場合、有機薄膜に対して除去能力が大きなエッチング手法としてO<sub>2</sub>/N<sub>2</sub>混合ガスを用いたリアクティブイオンエッチング法を用い、圧力300mTorr、RF電力300Wにてポリイミド薄膜51の除去を行った。

【0021】ポリイミド薄膜51の除去後は、図1(c)に示すように層間絶縁膜20を200nm形成しコンタクトホールを開孔し、ソース・ドレイン領域18上の絶縁膜を選択的に除去する。最後にソース・ドレイン配線(A1)21を形成し薄膜トランジスタが完成する。

【0022】このように本実施例は、簡単な作製プロセスでオフセットの制御性が向上し、薄膜トランジスタの特性ばらつきを抑えることができる。

【0023】図2は本発明の第2の実施例における薄膜トランジスタの製造方法を示す工程断面図である。

【0024】まず、図2(a)に示すように透光性基板(ガラス基板)11上に厚さ100nmの多結晶シリコン薄膜12を形成する。本実施例では、この多結晶シリコン薄膜12の製造方法として、プラズマCVD法により基板温度250℃で形成した非晶質シリコン薄膜をエキシマレーザー照射により結晶化させる手法を用いた。多結晶シリコン薄膜12の形成に本手法を用いることにより、通常の無アルカリガラス基板の面熱温度(500~600℃)以下で良質な多結晶シリコン薄膜12が形成可能である。この多結晶シリコン薄膜12の形成後、薄膜トランジスタ形成領域以外の多結晶シリコン薄膜12を除去し、島状に加工する。

【0025】次に、常圧CVD法を用いて基板温度450℃にてゲート絶縁膜13となる酸化シリコン薄膜を100nm形成する。ゲート絶縁膜13の形成後、ゲート電極14となるAl(1%Zr)を300nm、さらにこのゲート電極(A1合金)14上にゲート電極15となるTa薄膜を50nmをスパッタ法により形成する。前記Ta/A1合金二層薄膜上にゲート電極の形状のフォトレジスト16を形成する。前記フォトレジスト16をマスクとして、まず上層のゲート電極(Ta薄膜)15をゲート電極の形状に加工する。ゲート電極(Ta薄膜)15の加工にはSF<sub>6</sub>/O<sub>2</sub>ガス(ガス比1:0.2)を用いたリアクティブイオンエッチング法を用い、圧力200mTorr、RF電力300Wにてエッチングを行った。ゲート電極(Ta薄膜)15をエッチング後、下層のゲート電極(A1合金)14の薄膜をゲート電極の形状に加工する。Al合金薄膜のエッチングには硝酸・酢酸の混合液を用い、液温60℃でエッチングを行った。

【0026】図3はAl合金エッチング時のエッチング時間(横軸)に対するサイドエッチング長L(縦軸)の依存性を示す特性図(a)と図2の要部拡大図(b)である。図3(a)に示すようにサイドエッチング長Lはエッチング時間と比例して増大しており、エッチング時間により上層ゲート電極(Ta膜)15からの入り込み量、つまりサイドエッチング長Lを0.5 $\mu$ mから2.5 $\mu$ m以上まで広範囲にわたる制御が可能である。

【0027】次に図2(a)では、図3に示したAl合金薄膜のサイドエッチングを用いて上層ゲート電極15のパターンに対する下層ゲート電極14のAl合金薄膜のサイドエッチング長Lを1.0 $\mu$ mとなるように加工した。次に図2(b)に示すようにイオンドーピング法を用いて薄膜ト

ランジスタのソース・ドレイン領域18に不純物10を注入する。不純物としては燐を用い、加速電圧80kV、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ にて注入した。不純物注入にイオンドレーピング法を用いることでイオンの質量分離工程が不要になり、従来のイオン注入法に比べビームの大幅増化が可能でスループットが向上する。また、ガラス等の絶縁性基板に注入する場合のチャージアップ現象を抑制することが可能である。

【0028】本実施例の薄膜トランジスタの特徴は、上層、下層のゲート電極15、14を図2(a)記載の形状に加工しイオン注入を行うことにより、自己整合的にオフセット領域あるいはLDD(Lightly-Doped-Drain)領域が形成できる点にある。

【0029】すなわち、薄膜トランジスタのソース・ドレイン領域18では多結晶シリコン中にゲート絶縁膜の酸化シリコン薄膜を通して不純物イオンが注入されるのに対して、上層ゲート電極(Ta膜)15の下部の多結晶シリコン薄膜12では上層ゲート電極(Ta膜)15により注入イオンが減速され、本領域ではソース・ドレイン領域18の多結晶シリコン薄膜12に比較して不純物注入量が減少す。これにより薄膜トランジスタのチャネル領域19とソース・ドレイン領域18との間に低濃度不純物注入領域17を自己整合的に形成でき、一度の不純物注入によりLDD構造が実現できる。

【0030】最後に、図2(c)に示すように常圧CVD法により基板温度450℃にて層間絶縁膜20を400nm形成する。注入した不純物は層間絶縁膜形成時の基板温度により自己活性化する。層間絶縁膜形成後、コンタクトホールを開孔し、ソース・ドレイン配線21(A1)を形成し薄膜トランジスタが完成する。

【0031】なお、図4は低濃度不純物注入領域17における抵抗率の上層ゲート電極15のTa膜厚(横軸)に対する電界緩和領域抵抗率(縦軸)の特性図である。Ta膜厚が0の場合にはソース・ドレイン領域の多結晶シリコン薄膜の抵抗率と同一であるが、Ta膜厚の増大とともに抵抗率も増大する。本構成ではTa膜厚が200nm以上の場合には、注入した不純物が多結晶シリコン薄膜中に到達しなくなり、抵抗率はチャネル領域の抵抗率と同一となる。このように二層ゲート電極の上層薄膜の膜厚を制御することにより、低濃度不純物注入領域の抵抗率を広範囲にわたり制御可能である。

【0032】また、上層ゲート電極15のTa膜厚を200nm以上とすることでオフセット構造が実現可能である。本実施例中で、二層ゲート電極の下層薄膜にAl-1%Zrを用いているのは、通常のAlに比べて耐熱性を向上でき、層間絶縁膜形成工程でのAlのヒロックによる絶縁不良を低減するためである。

【0033】(実施例2)図5は本発明の第3の実施例における薄膜トランジスタの製造方法を示す工程断面図である。基本的な製造方法は図2記載の第2の実施例と同

様である。二層の上層、下層ゲート電極15、14として、上層薄膜にTa薄膜(50nm)、下層薄膜にAl-1%Zr(300nm)を用いており、前記図3(b)に示すように下層薄膜のエッチング時に自己整合的に下層薄膜(Al-1%Zr)のゲート配線を上層薄膜(Ta)に比べて片側1.0μm(総計2.0μm)細線化する。その後、ゲート電極をマスクとして自己整合により下層薄膜トランジスタのソース・ドレイン領域18に不純物を注入する。このとき、上層ゲート電極15だけが存在する領域下の多結晶シリコン薄膜12中には微量不純物が導入されるため、図5(a)に示すように1度の不純物注入工程で低濃度不純物注入(LDD)領域(n<sup>+</sup>領域)17が形成できる。

【0034】次に、図5(b)に示すように不純物注入後、上層ゲート電極15を選択的に除去し、下層ゲート電極14であるAl-1%Zrを陽極化する。陽極酸化の電解液としては、エチレングリコールと酒石酸アンモニウム(7:3)との混合液を用い、化成電圧は140Vで行い、200nmの陽極酸化( $\text{Al}_2\text{O}_3$ )膜41を形成した。上層ゲート電極15のTa薄膜は陽極酸化時の化成マスクの形状に加工しており、電極取り出し部の陽極酸化防止膜として働く。前記陽極酸化膜形成後、図5(c)に示すように層間絶縁膜20を200nm形成し、コンタクトホールを開孔しソース・ドレイン領域18上の絶縁膜を選択的に除去する。最後にソース・ドレイン配線(A1)21を形成し薄膜トランジスタが完成する。

【0035】次に本発明の液晶表示装置の一実施例として、アクティブマトリクス型液晶表示装置を図6に示す。図6(a)は液晶表示装置の一素子の等価回路図である。薄膜トランジスタ31の走査電極(ゲート電極)に走査線Snから書き込み信号(走査信号n)が入力されることにより薄膜トランジスタ31がON状態となり、データ線Dnを通じて液晶を充電することにより画像情報が液晶に書き込まれる。補助容量Csは次の書き込み時間間でも画像情報を保持するため、液晶容量CLCと並列に形成されている。図6(a)に示す絵素をマトリクス状に集積化することにより液晶ディスプレイが形成される。

【0036】図6(b)は液晶ディスプレイ用アクティブマトリクスアレイの構成図であるが、各絵素34はnチャネル薄膜トランジスタ31を用いて作製されており、これに加えて走査線駆動回路32およびデータ線駆動回路33をnチャネルおよびpチャネル薄膜トランジスタを組み合わせたC-MOS構造により同一基板上に作製している。これにより、従来必要であった駆動回路ICを外部に実装する必要がなくなり大幅なコスト低減が可能となる。本実施例では画素電極駆動用あるいは駆動回路形成用の薄膜トランジスタを本発明記載の薄膜トランジスタの製造方法を用いて作成した。

【0037】これにより、移動度の大きな多結晶シリコン薄膜トランジスタを用いながらOFD電流を低減でき、表示品質の向上、消費電力の低減を実現した。ま

た、駆動回路においては薄膜トランジスタのドレイン近傍での電界強度を低減でき信頼性の向上を実現できた。なお、本発明の実施例では画素電極駆動用、周辺駆動回路用の全ての薄膜トランジスタを本発明記載の製造方法を用いて作製したが、必ずしもその必要はなく、周辺駆動回路あるいは画素電極駆動など必要部分の薄膜トランジスタにのみ用いれば同等な結果を得ることが可能である。

【0038】

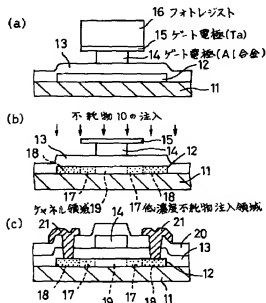
【発明の効果】以上説明したように、本発明の製造方法を用いることにより、LDDあるいはオフセット構造を自己整合的に形成可能となり、薄膜トランジスタのOFF電流を低減すると同時に、従来LDD構造となっていたマスク合わせばらつきによる特性ばらつきを大きく減少でき、大面積基板上でLDDあるいはオフセットトランジスタを実現できる。また、従来LDD構造の形成には高濃度不純物領域と低濃度不純物領域の形成のため、2度の不純物注入工程が必要であったが、本発明の製造方法を用いることにより薄膜トランジスタの高濃度不純物領域形成時に同時に低濃度不純物領域を形成できるため不純物注入工程数を削減でき、製造コストを低減できる。

【0039】さらに下層ゲート電極としてAlあるいはAlを主成分とする合金を用い、不純物注入工程後に前記下層ゲート電極の一部を局極酸化し表面を絶縁膜に改質することにより、層間絶縁膜が $Al_2O_3$ と酸化シリコン膜との二重構造となり、薄膜トランジスタのゲート電極と信号配線との間の絶縁不良確率が大幅に減少し、歩留まりが向上した。

【図面の簡単な説明】

【図1】本発明の第1の実施例における薄膜トランジスタ

【図2】



の製造方法を示す工程断面図である。

【図2】本発明の第2の実施例における薄膜トランジスタの製造方法を示す工程断面図である。

【図3】Al合金エッチング時のエッチング時間に対するサイドエッチング長さLの依存性を示す特性図(a)と図2の要部拡大図(b)である。

【図4】低濃度不純物注入領域における抵抗率の上層ゲート電極Ta膜厚に対する電界特性領域抵抗率の特性図である。

【図5】本発明の第3の実施例における薄膜トランジスタの製造方法を示す工程断面図である。

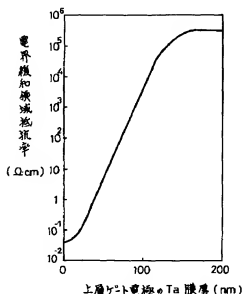
【図6】本発明の一実施例におけるアクティブマトリクス型液晶表示装置の一絵素の等価回路図(a)と液晶ディスプレイ用アクティブマトリクスアレイの構成図(b)である。

【図7】従来の多結晶シリコン薄膜トランジスタの製造方法の一例を示す工程断面図である。

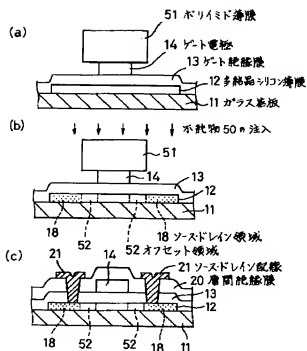
【符号の説明】

10...50, 71, 72...不純物、 11...透光性基板(ガラス基板)、 12...多結晶シリコン薄膜、 13...ゲート絶縁膜、 14...ゲート電極(AI合金)、 15...ゲート電極(Ta)、 16...フォトリソ、 17...低濃度不純物注入領域、 18...ソース・ドレイン領域、 19...チャネル領域、 20...層間絶縁膜、 21...ソース・ドレイン配線、 31...薄膜トランジスタ、 32...走査線駆動回路、 33...データ線駆動回路、 34...絵素、 CLC...液晶容量、 Cs...信号保持用付加容量、 41...局極酸化( $Al_2O_3$ )膜、 51...ポリイミド薄膜、 52...オフセット領域。

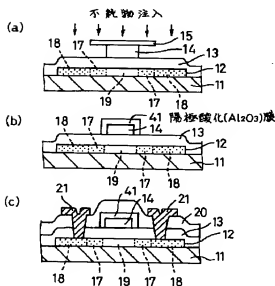
【図4】



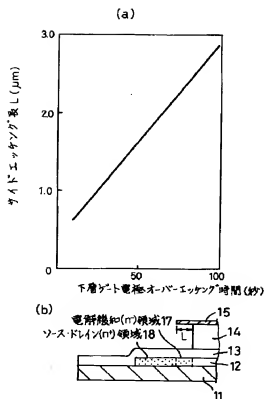
【図1】



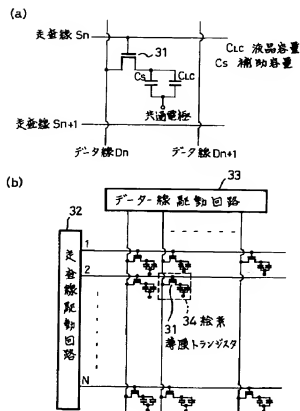
【図5】



【図3】



【図6】



【図7】

